

Metal planarization using a CVD wetting film

Patent Number: ☐ US5877086
Publication date: 1999-03-02
Inventor(s): ARUGA MICHIO (JP)
Applicant(s): APPLIED MATERIALS INC (US)
Requested Patent: ☐ JP10064902
Application Number: US19970893871 19970711
Priority Number(s): JP19960183729 19960712
IPC Classification: H01L21/44
EC Classification: H01L21/768C3, H01L21/768C4E
Equivalents:

Abstract

The present invention is a process for planarization of substrate layers comprising apertures to form continuous, void-free contacts or vias in sub-half micron applications. A CVD silicon or metal silicide wetting layer is deposited onto the substrate layer comprising apertures to provide a conformal wetting layer for a PVD metal layer. The PVD metal layer is deposited onto the previously formed CVD metal layer at a temperature below that of the melting point temperature of the metal. The CVD layer diffuses into the PVD layer and the resulting conductive layer is substantially void-free. The planarization process is preferably carried out in a multi-chamber system that includes both PVD and CVD processing chambers so that once the substrate is introduced into a vacuum environment, the filling of vias and contacts occurs without the formation of an oxide layer over the CVD wetting layer.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平10-64902

(43)公開日 平成10年(1998) 3月6日

| (51)Int.Cl. ⁸ | 識別記号 | 序内整理番号 | F I | 技術表示箇所 |
|--------------------------|-------|--------|---------------|---------|
| H 0 1 L 21/3205 | | | H 0 1 L 21/88 | N |
| C 2 3 C 14/56 | | | C 2 3 C 14/56 | G |
| H 0 1 L 21/28 | 3 0 1 | | H 0 1 L 21/28 | 3 0 1 T |
| 21/768 | | | 21/90 | C |

審査請求 未請求 請求項の数13 O L (全 8 頁)

(21)出願番号 特願平8-183729

(22)出願日 平成8年(1996) 7月12日

(71)出願人 390040660

アプライド マテリアルズ インコーポレ
イテッドAPPLIED MATERIALS, I
NCORPORATED

アメリカ合衆国 カリフォルニア州

95054 サンタ クララ パウアーズ ア
ベニュー 3050

(72)発明者 有賀 美知雄

千葉県成田市新泉14-3 野毛平工業団地内

アプライド マテリアルズ ジャパン

株式会社内

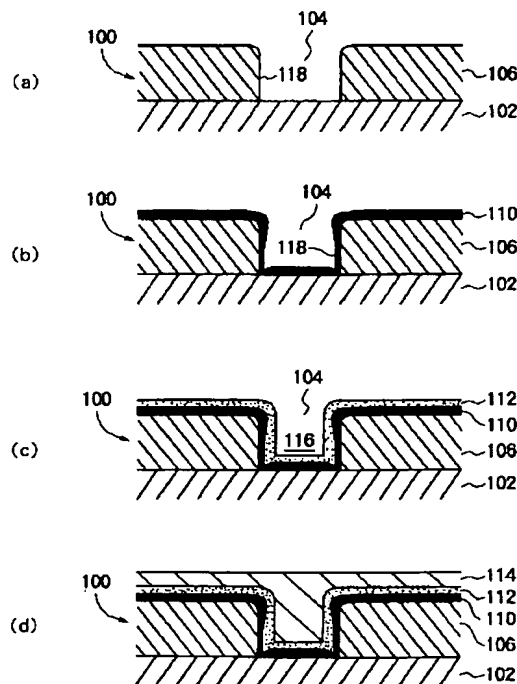
(74)代理人 弁理士 長谷川 芳樹 (外3名)

(54)【発明の名称】 アルミニウム材料の成膜方法及び成膜装置

(57)【要約】

【課題】 半導体ウェハのコンタクトホール内部にアルミニウム材料を低温で埋め込むアルミニウム材料の成膜方法及び装置を提供することを目的とする。

【解決手段】 本発明では、アルミニウム材料の成膜装置(10)を用いて、PVD法及びCVD法が真空下で一貫して行われる。まず、第1のPVDチャンバ(18)内で半導体ウェハ上にバリアメタル膜(110)の成膜させる。その後、CVDチャンバ(28)内でシリコンからなる潤滑性改善膜(112)を被覆させる。つぎに、第2のPVDチャンバ(20)内でアルミニウム(114)を成膜させる。そして、第3のPVDチャンバ(22)で半導体ウェハ(100)を加熱し、ホール(104)の内部にアルミニウム(114)を埋め込むと共に表面を平坦化させる。この方法は真空下で行なわれる連続的なプロセスなので、歩留り良い半導体デバイスの大量製造が可能である。



【特許請求の範囲】

【請求項1】 コンタクトホール又はスルーホールを有する半導体ウェハにアルミニウム材料を成膜させる成膜方法において、

前記半導体ウェハ上にシリコン又はシリサイドからなる濡れ性改善膜をCVD法によって成膜させる第1工程と、

前記濡れ性改善膜上に、前記アルミニウム材料をPVD法によって成膜させる第2工程と、

前記半導体ウェハを加熱することによって前記アルミニウム材料を溶融し、前記コンタクトホール又はスルーホールの内部に埋め込む第3工程と、を備え、前記各工程間の前記半導体ウェハの移送を真空下で行なうことを特徴とするアルミニウム材料の成膜方法。

【請求項2】 前記第3工程は、前記半導体ウェハを加熱することによって前記アルミニウム材料を溶融させると同時に、前記アルミニウム材料をPVD法によって成膜させることによって、前記コンタクトホール又はスルーホールの内部に前記アルミニウム材料を埋め込む2ステップ法である請求項1に記載のアルミニウム材料の成膜方法。

【請求項3】 前記半導体ウェハは、前記半導体ウェハに積層して形成された各素子を電気的に接続するアルミニウム材料からなる電極配線を、前記第1工程の前に予め形成したことを特徴とする請求項1又は2に記載のアルミニウム材料の成膜方法。

【請求項4】 前記第1の工程は、前記半導体ウェハの表面温度を300℃～450℃に設定されることを特徴とする請求項1～3のいずれか1項に記載のアルミニウム材料の成膜方法。

【請求項5】 前記第3の工程は、前記半導体ウェハの表面温度を450℃以下に設定されることを特徴とする請求項1～4のいずれか1項に記載のアルミニウム材料の成膜方法。

【請求項6】 半導体ウェハの上にシリコン又はシリサイドからなる濡れ性改善膜をCVD法によって成膜させるCVDチャンバと、

前記濡れ性改善膜の反応物である反応ガスを供給するガス供給手段と、

前記濡れ性改善膜の上に、アルミニウム材料をPVD法によって成膜させるPVDチャンバと、

前記CVDチャンバ及び前記PVDチャンバの間で、前記半導体ウェハを真空下で搬送させる搬送手段と、を備えることを特徴とするアルミニウム材料の成膜装置。

【請求項7】 前記CVDチャンバは前記半導体ウェハを加熱する第1のウェハ加熱装置を有していることを特徴とする請求項6記載のアルミニウム材料の成膜装置。

【請求項8】 前記PVDチャンバは前記半導体ウェハを加熱する第2のウェハ加熱装置を有していることを特徴とする請求項6又は7に記載のアルミニウム材料の成

膜装置。

【請求項9】 前記アルミニウム材料の成膜装置は、前記ガス供給手段、前記第1のウェハ加熱装置及び前記第2のウェハ加熱装置を制御する制御手段を備えていることを特徴とする請求項6～8のいずれか1項に記載のアルミニウム材料の成膜装置。

【請求項10】 第1の真空チャンバと、

前記第1の真空チャンバと連通し、前記第1の真空チャンバより低い内部圧力を有する第2の真空チャンバと、前記第1の真空チャンバに連通して設けられ、前記第1の真空チャンバに半導体ウェハを導入するロードロックチャンバと、

前記第1の真空チャンバに連通して設けられており、内部で前記半導体ウェハの上にシリコン又はシリサイドからなる濡れ性改善膜をCVD法によって成膜させるCVDチャンバと、

前記濡れ性改善膜の反応物である反応ガスを供給するガス供給手段と、

前記第2の真空チャンバに連通して設けられており、内部で前記濡れ性改善膜の上にアルミニウム材料をPVD法によって成膜させるPVDチャンバと、

前記第2の真空チャンバに連通して設けられており、内部で前記半導体ウェハを加熱してデガス処理するデガスチャンバと、

前記第1の真空チャンバの内部に設けられ、前記ロードロックチャンバ、前記CVDチャンバ及び前記第2のチャンバの間で、前記半導体ウェハを真空下で搬送させる第1の搬送手段と、

前記第2の真空チャンバの内部に設けられ、前記PVDチャンバ及び前記第1のチャンバの間で、前記半導体ウェハを真空下で搬送させる第2の搬送手段と、

連通しているチャンバ同士の間設けられた開閉手段と、を備えていることを特徴とするアルミニウム材料の成膜装置。

【請求項11】 前記CVDチャンバは前記半導体ウェハを加熱する第1のウェハ加熱装置を有していることを特徴とする請求項10記載のアルミニウム材料の成膜装置。

【請求項12】 前記PVDチャンバは前記半導体ウェハを加熱する第2のウェハ加熱装置を有していることを特徴とする請求項10又は11に記載のアルミニウム材料の成膜装置。

【請求項13】 前記アルミニウム材料の成膜装置は、前記ガス供給手段、前記第1のウェハ加熱装置及び前記第2のウェハ加熱装置を制御する制御手段を備えていることを特徴とする請求項10～12のいずれか1項に記載のアルミニウム材料の成膜装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体製造等で用

いられるアルミニウム材料の成膜技術、ないしは、平坦化技術に関する。ここで、アルミニウム材料とはアルミニウム又はその合金をいうものとする。

【0002】

【従来の技術】近年、超LSIのような素子が高集積化された半導体デバイスでは、微細化及び多層化が進む傾向にある。そのような半導体デバイスにおいては、各素子間の回路となるコンタクトホール又はスルーホール（以下単に「ホール」という。）のアスペクト比が高いので、各素子間を接続する電極配線の技術も微細化・多層化へと向かっている。また、多層化に伴ない、段差のない理想的な多層電極配線構造が形成されることが要求されるので、半導体ウェハ表面の平坦化技術が重要となる。なお、本明細書において、「半導体ウェハ」とは、半導体基板上に、半導体デバイスを構成する薄膜が形成されたものをいう。

【0003】従来の平坦化技術として、アルミニウムを用いたものが知られている。この平坦化技術においては、アルミニウムを加熱し、ホールに熔融アルミニウムを埋め込むと同時に、半導体ウェハ表面のアルミニウムの平坦化を図っていた。従来の平坦化技術によって、例えば図5に示すような半導体ウェハ1にアルミニウムを成膜させる場合、次のように行なわれていた。図示の半導体ウェハ1は半導体基板2上にホール3を有する多層の絶縁膜4、5を備えており、多層の絶縁膜4、5の間には、アルミニウムからなる電極配線（図示せず）が形成されている。このような下地としての半導体ウェハ1上に、チタン（以下「Ti」という）及び窒化チタン（以下「TiN」という）をPVD（Physical Vapor Deposition: 物理的気相堆積）法の1つであるスパッタリング法で順次成膜させる。これによって、バリア金属膜6が形成され、電極配線が下地シリコン又は下層配線と反応しないようにしている。つぎに、このバリア金属膜6上にアルミニウムとの濡れ性が優れたTiからなる濡れ性改善膜7をスパッタリング法で成膜させた後、アルミニウム8を室温で成膜させる。そして、半導体ウェハ1に熱を加えることにより、アルミニウム1をリフローさせたり、又はアルミニウム1を高温スパッタリング法にて成膜させながら同時にホール3に流し込んだりする。

【0004】

【発明が解決しようとする課題】ところが、上述の従来の方法では、アルミニウム1がホール3の内部に完全に埋め込まれず、その底部に空隙が生じる傾向がある。これは、スパッタリング法ではホール側壁面の最下部まで濡れ性改善膜7を十分に被覆させることができないからである。濡れ性改善膜7のホール側壁面におけるカバレッジを改善するために、CVD法によってTiを成膜させることも実際には可能である。しかし、この成膜は高温で一般に行なわれるので、近年の低温プロセスの流れ

とは逆行している。

【0005】そこで本発明は、上記のようなホールの内部にアルミニウム材料を低温で十分に埋め込むことができるアルミニウム材料の成膜方法及び成膜装置を提供することを目的としている。

【0006】

【課題を解決するための手段】本発明のアルミニウム材料の成膜方法によれば、コンタクトホール又はスルーホールを有する半導体ウェハにアルミニウム材料を成膜させる成膜方法において、半導体ウェハ上にシリコン又はシリサイドからなる濡れ性改善膜をCVD法によって成膜させる第1工程と、濡れ性改善膜上に、アルミニウム材料をPVD法によって成膜させる第2工程と、半導体ウェハを加熱することによってアルミニウム材料を熔融し、コンタクトホール又はスルーホールの内部に埋め込む第3工程とを備え、各工程間の半導体ウェハの移送を真空下で行なうことを特徴とする。この方法では、CVD法を用いているので、コンタクトホール又はスルーホールの内面を濡れ性改善膜で十分に被覆することができる。また、半導体ウェハを大気に晒さないで、濡れ性改善膜に対する大気による影響を防止できる。よって、成膜させたアルミニウム材料をコンタクトホール又はスルーホールの内部に完全に埋め込むことができる。

【0007】また、第3工程は、半導体ウェハを加熱することによってアルミニウム材料を熔融させると同時に、アルミニウム材料をPVD法によって成膜させることによって、コンタクトホール又はスルーホールの内部にアルミニウム材料を埋め込む2ステップ法であってもよい。これによって、上記と同程度若しくはそれ以上の効果をもって、成膜させたアルミニウム材料をコンタクトホール又はスルーホールの内部に埋め込むことができる。

【0008】また、半導体ウェハに積層して形成された各素子を電気的に接続するアルミニウム材料からなる電極配線が、第1工程の前に予め形成されたものの場合、本発明は特に有効である。すなわち、本発明の技術では、低温プロセスが可能であり、多層化された電極配線を製造することができ、集積度の高い半導体デバイスの製造が可能となる。したがって、第1の工程は半導体ウェハの表面温度を300℃～450℃にしてなされ、第3の工程は半導体ウェハの表面温度を450℃以下にしてなされるのが好適である。

【0009】一方、本発明のアルミニウム材料の成膜装置によれば、半導体ウェハの上にシリコン又はシリサイドからなる濡れ性改善膜をCVD法によって成膜させるCVDチャンバと、濡れ性改善膜の反応物である反応ガスを供給するガス供給手段と、濡れ性改善膜の上に、アルミニウム材料をPVD法によって成膜させるPVDチャンバと、CVDチャンバとPVDチャンバとの間で、半導体ウェハを真空下で搬送させる搬送手段とを備える

ことを特徴とする。これによって、半導体ウェハ表面が大気に晒されずに一貫したプロセスでもってアルミニウム材料を成膜させることができる。

【0010】また、CVDチャンバは半導体ウェハを加熱する第1のウェハ加熱装置を有していることを特徴としてもよい。これによって、濡れ性改善膜の原料ガスを熱分解させることによって濡れ性改善膜を成膜させることができる。

【0011】また、PVDチャンバは半導体ウェハを加熱する第2のウェハ加熱装置を有していることを特徴としてもよい。これによって、溶融したアルミニウム材料をコンタクトホール又はスルーホールの内部に埋め込むことができる。

【0012】また、アルミニウム材料の成膜装置は、ガス供給手段、第1のウェハ加熱装置及び第2のウェハ加熱装置を制御する制御手段を備えていることを特徴としてもよい。これによって、所定の濡れ性改善膜の成膜及びアルミニウムの埋め込みを適正且つ高度の再現性をもって行なうことができる。

【0013】

【発明の実施の形態】本発明の実施形態を図面を参照して説明する。

【0014】図1は、本発明に係る成膜装置10の断面図である。上記装置においては、モノリス(monolith)と呼ばれるアルミニウムの一体成形構造でもってメインフレーム12が形成されており、溶接部分を極力省いて真空度を高く維持できるようにしている。そして、メインフレーム12はバッファチャンバ(第1の真空チャンバ)14及びトランスファチャンバ(第2の真空チャンバ)16の2つのチャンバから主として構成されている。トランスファチャンバ16の周りには、第1～第3のPVDチャンバ18、20、22と、デガスチャンバ24とが取り付けられている。第1のPVDチャンバ18はスパッタリング法によってTi及びTiNからなるバリアメタル等を成膜させるために用いられる。また、第2及び第3のPVDチャンバ20、22はスパッタリング法によってアルミニウム又はその合金を成膜させるために用いられ、特に、第3のPVDチャンバ22は処理すべき半導体デバイスを加熱するための装置(図示せず)をも具備している。そして、デガスチャンバ24は半導体ウェハを高温で加熱処理するために用いられる。

【0015】従来の成膜装置と異なり、バッファチャンバ14の周りにはCVD法による成膜を行なうためのCVDチャンバ26、28が取り付けられている。また、CVDチャンバ26、28には、ジシラン(以下「 Si_2H_6 」という)を供給するための Si_2H_6 ガス供給源(図示せず)とCVDチャンバ26、28を加熱する装置(図示せず)とが接続されている。

【0016】なお、バッファチャンバ14の周りには、2つのロードロックチャンバ34a、34bが配置され

ており、バッファ及びトランスファチャンバ14、16を大気に開放せずに常に真空を保持することができる。一方のロードロックチャンバ34aにのみ隣り合った位置には、デガスオリエンタチャンバ36が配置され、ホールを有する半導体ウェハのデガス及びオリエンテーションフラット(以下「オリフラ」という)の調整を行ったりしている。他方のロードロックチャンバ34bに隣り合った位置には、水冷式のクールダウンチャンバ38が配置されている。また、バッファチャンバ14とトランスファチャンバ16との間には、上記と同様なクールダウンチャンバ40と、半導体ウェハ表面に形成された酸化・窒化薄膜を前処理として除去するプレクリーンチャンバ42とが設けられている。

【0017】上に述べたチャンバは全て連通しており、各連通部分は開閉可能なシャッタ(開閉手段)(図示せず)で仕切られている。これらシャッタによって、図1に示すアルミニウム材料の成膜装置10は、ロードロックチャンバ34a、34bから第1～第3のPVDチャンバ18、20、22まで、5段のステージから分割構成され、各ステージでの真空度を徐々に高めることができる。すなわち、圧力をロードロックチャンバ34a、34bでは 1×10^{-5} Torr台にし、バッファチャンバ14、デガスオリエンタ及びクールダウンチャンバ36、38では 1×10^{-6} Torr台にし、プレクリーンチャンバ42では 1×10^{-7} Torr台にし、また、トランスファチャンバ16では 1×10^{-8} Torr台にし、そして、第1～第3のPVDチャンバ及びデガスチャンバ18、20、22、24では 1×10^{-9} Torr台にすることができる。なお、CVDチャンバ26、28は、比較的低圧(例えば 1×10^{-6} Torr台)とされる。このため、バッファ及びトランスファチャンバ14、16の間を仕切るシャッタが開いているときにも、CVDチャンバ26、28でCVD法に用いた Si_2H_6 ガスが、トランスファチャンバ16を通過して、第1～第3のPVDチャンバ及びデガスチャンバ18、20、22、24に拡散しないようにしている。したがって、各チャンバ間のクロスコンタミネーションが防止される。また、CVDチャンバ26、28は、バッファチャンバ14に隣接して設けられるが、使用圧力に応じてトランスファチャンバ16に隣接して設けてもよい。また、処理すべき半導体ウェハが各チャンバへ搬送されるように、バッファ及びトランスファチャンバ14、16の中央部には搬送用ロボットアーム30、32が設けられている。さらに、図示しないが、上記各チャンバはこの半導体ウェハを載置させるためのサセプタを有している。

【0018】このような成膜装置では、 Si_2H_6 ガス流量、CVDチャンバ26、28及びPVDチャンバ18、20、22内における半導体ウェハの温度が図2に示すマイクロコンピュータ等の制御手段50によって制御されている。この制御手段50は、図に示されるよう

に、制御装置52を中心にして構成されている。制御装置52のCPU53には入力インターフェース54を介して Si_2H_6 ガス流量計56、CVDチャンバ及び第3のPVDチャンバ内における半導体ウェハの温度を測定する温度計58、60が接続され、その測定された信号が制御装置52に伝送されている。また、CPU53には入力インターフェース62を介して例えばキーボードからなる入力手段64が接続されている。ガス流量及び温度について所望の値がこの入力手段64から入力されると、上記の値が制御装置52に伝送されるようにしている。また、制御装置52のCPU53には、出力インターフェース66を介して Si_2H_6 ガス供給弁ドライバ68、及びCVDチャンバ及びPVDチャンバ内における基板加熱装置ドライバ70、72が接続されており、さらに、それらは Si_2H_6 ガス供給弁74及び基板加熱装置76、78にそれぞれ接続されている。したがって、このように構成された制御手段50が、測定された値及び設定された値に基づいて、 Si_2H_6 ガス流量及び基板温度を調節するようにしている。

【0019】以上のように構成された装置を用いて、本発明のアルミニウム材料の成膜方法に係る実施形態について、図3を参照して説明する。

【0020】まず、真空ポンプ（図示せず）を用いて、分割された各ステージ（ロードロック34a、34b、バッファ14、プレクリーン42、トランスファ16、及び第1～第3のPVDチャンバ18～22）の真空度を徐々に高め、特に、第2及び第3のPVDチャンバ20、22内では圧力を最終的に 1×10^{-9} Torrの超高真空にする。つぎに、ロードロックチャンバ34a、34bとバッファチャンバ14との連通部分をシャッターで閉じ、ロードロックチャンバ34a、34bの内部を大気圧にする。そして、その内部にあるサセプタに、単層の絶縁膜106を有しホール104が形成された半導体ウェハ100（図3（a）参照）のオリフラを予め調整して半導体ウェハ100を所定の位置に載置させる。そして、搬送用ロボットアーム30を用いて半導体ウェハ100をデガスオリエンタチャンバ36のサセプタに移載させた後、半導体ウェハ100表面のデガス及び半導体ウェハ100のオリフラの微調整を行なう。

【0021】以上のようにされた半導体ウェハ100を搬送用ロボットアーム30でプレクリーンチャンバ42内に移載させ、半導体ウェハ100の表面の自然酸化膜等を取り除く（図示せず）。つぎに、搬送用ロボットアーム32を用いてこの半導体ウェハ100を第1のPVDチャンバ18内のサセプタに移載させる。そして、従来の方法と同様に、スパッタリング法により、半導体ウェハ100表面に、バリアメタル膜110としてのTi及びTiNを順次成膜させる（図3（b）参照）。ただし、ホールのアスペクト比は高く、スパッタリング法を用いているので、成膜材料がホール104の側壁面11

8の下部を十分に被覆できない場合がある。

【0022】つぎに、半導体ウェハ100を、搬送用ロボットアーム32、30でトランスファ及びバッファチャンバ16、14を経由し、CVDチャンバ26、28内のいずれかのサセプタに移載させる。この成膜装置10は、複数のチャンバを備えたマルチチャンバシステムを有するインテグレーション装置であるので、この半導体ウェハ100表面が大気に晒されて酸化されて、表面状態が変化することはない。この状態で、 Si_2H_6 ガス供給源から所要量の Si_2H_6 ガスをCVDチャンバ26内に導入して満たす。その後、CVDチャンバ26内の圧力及び温度をそれぞれ1Torr程度及び $300^\circ\text{C} \sim 450^\circ\text{C}$ にすることによって Si_2H_6 を熱分解させて、濡れ性改善膜112としてのシリコンを薄く成膜させる。この場合、CVD法による成膜であるので、ホール104の内面は濡れ性改善膜112により完全に被覆される（図3（c）参照）。なお、ジシランの熱分解によってシリコンを成膜させる代わりに、フッ化タングステン(WF_6)とシラン(SiH_4)との反応によってタングステンシリサイド(WSi_2)を濡れ性改善膜112として成膜させても上記と同様の作用が生じる。

【0023】このように、CVD法によると、解決すべき課題に述べたようなホール104のアスペクト比又はバリアメタル膜112の成膜の状態によらずに、ステップカバレージが高い状態でシリコンを成膜させることができる。しかし、PVD法では、Ti及びTiNにせよ、シリコンにせよそのようにすることはできない。

【0024】つぎに、濡れ性改善膜112を成膜させた半導体ウェハ100を再びバッファ及びトランスファチャンバ14、16を経由して、今度は第2のPVDチャンバ20内のサセプタに移載させる。その後、半導体ウェハ100上にスパッタリング法によってアルミニウム114を室温で成膜させる。引続いて、半導体ウェハ100を第3のPVDチャンバ22のサセプタに移載させ、前述したリフロー法を用いて半導体ウェハ100を 450°C 程度に加熱することによって、成膜されたアルミニウム114の一部をホール104の内部116に埋め込むと共に、半導体ウェハ100表面のアルミニウム114を平坦化させる（図3（d）参照）。

【0025】本発明では濡れ性改善膜112を組成するシリコン又はタングステンの一部がアルミニウム114へ均一に分散される。しかし、仮にシリコンとアルミニウムとの膜厚がそれぞれ $0.01\mu\text{m}$ 及び $1\mu\text{m}$ の場合、アルミニウム中へのシリコンの含有量は1%程度であって、従来から用いられているシリコン含有のアルミニウムと同程度の量であるので、特に問題は生じない。また、タングステンの適度な拡散はエレクトロマイグレーション(EM)を抑制する。

【0026】また、従来においては、ホールの内面を十分に被覆させるために、半導体ウェハの平坦部分には非

常に厚いTiやTiNの膜が形成されることとなっていた。よって、それらの上にアルミニウムを成膜させると、コンタクトホール又はスルーホールの内部に埋め込まれる実効的なアルミニウムが減少していた。その上、TiやTiNの膜と反応してアルミニウムに対して約3倍の体積を有する $TiAl_3$ が生成され、結果として有効に作用するアルミニウムの量が減少するだけでなく、半導体デバイスが肥大化していた。しかし、本発明においては、そのような問題は生じないことは明白である。

【0027】ところで、本発明は上記実施形態のように絶縁膜が単層からなる場合だけに限定されない。図4に示されるように絶縁膜206、208が半導体基板202上に多層になして、アルミニウムからなる電極配線（図示せず）が予め形成されている半導体ウェハ200の場合にでも、本発明のアルミニウム材料の成膜方法は適用され得る。図4に示される半導体ウェハ200は、多層になっている絶縁膜206、208をエッチングすることにより形成されたホール204を有している（図4（a）参照）。しかしこのホール204の側壁面218は、例えば各絶縁膜206、208のエッチング速度の相異により、各絶縁膜206、208の境界部分220が削り取られるので、一般的に、ホール204の側壁面218の平坦性が失われていることが多い。したがって、そのような場合、バリアメタル膜210の成膜状態は（図4（b）参照）のように断続的となる傾向が強くなる。しかも、ホール204のアスペクト比がたとえ前記実施形態の場合と同程度であっても、ホール側壁面218のステップカバレッジが一層低下している恐れがある。

【0028】しかしながら、このような場合でも、本発明では、図4（c）に示すように、CVD法を用いて濡れ性改善膜212をホール内面に十分且つ完全に被覆させることができる。しかも、濡れ性改善膜212を被覆させる場合には、例えば Si_2H_6 が熱分解する上記温度範囲は、アルミニウムの融点（660.2℃）よりも低い値であるので、既に成膜されたアルミニウムに影響を及ぼすことはない。よって、上記のように、アルミニウム214をホール204内部に結果として埋め込むことができる（図4（d）参照）。

【0029】ところで、CVD法によってもTiやTiNを成膜させることは可能である。しかしながら、それらのソースガスの熱分解温度が Si_2H_6 の熱分解温度より高温であるので、半導体デバイスが多層構造をなすときに既に成膜されたアルミニウムの電極配線等が熱負荷を受ける。よって、CVD法によるTiやTiNの成膜は製品となる半導体デバイスの諸特性に影響を及ぼし、現時点では実施が極めて困難であると考えられる。

【0030】なお、上に述べた2つの実施形態ではアルミニウムを成膜させたが、アルミニウムのエレクトロマイグレーションの抑制等に有効なアルミニウム合金を成

膜させてもよい。また、アルミニウム又はその合金の成膜方法はリフロー法に限らず、2ステップ法を用いてもよい。2ステップ法がリフロー法と異なる点は、半導体ウェハを第3のPVDチャンバ22内で半導体ウェハを300℃～450℃の範囲で加熱しながら、スパッタリング法によってアルミニウム又はその合金を更に成膜させることである。

【0031】

【発明の効果】本発明のアルミニウム材料の成膜方法及び装置によれば、コンタクトホール又はスルーホールの内面、特に側壁面の形状、又は、バリアメタル膜の成膜の状態によらずに、ステップカバレッジが高いシリコンを比較的低温で成膜させることができる。よって、その後、リフロー法又は2ステップ法で半導体ウェハに成膜させたアルミニウムを加熱してコンタクトホール又はスルーホールの内部に完全に埋め込むと同時に、アルミニウムを平坦化させることができる。そのとき、半導体ウェハ上に有害な副生物が生じることはない。しかも本発明による方法及び装置では、半導体ウェハを大気に晒すことなく、一貫したプロセスでもって行なうことができる。したがって、歩留り良い小型の半導体デバイスを大量に製造できる。

【図面の簡単な説明】

【図1】本発明が適用された成膜装置の一実施形態を概略的に示した断面図である。

【図2】本発明のアルミニウム材料の成膜装置の制御手段、及び、その接続要素の一例を示したブロック図である。

【図3】本発明のアルミニウム材料の成膜方法の一実施形態を示す工程図である。

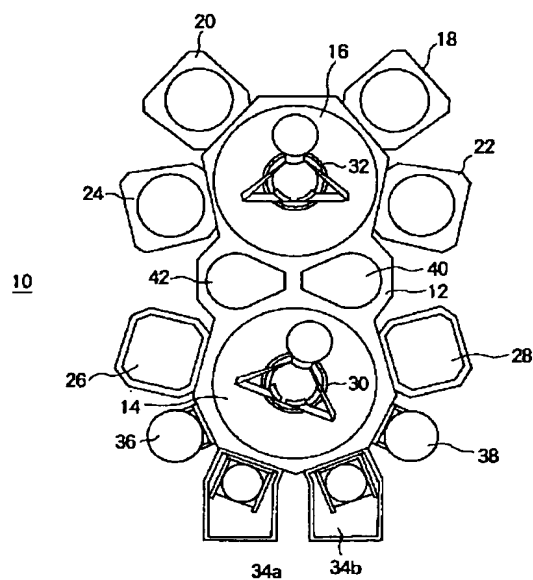
【図4】本発明のアルミニウム材料の成膜方法の他の実施形態を示す工程図である。

【図5】従来の半導体デバイスの構造を概略的に示した拡大断面図である。

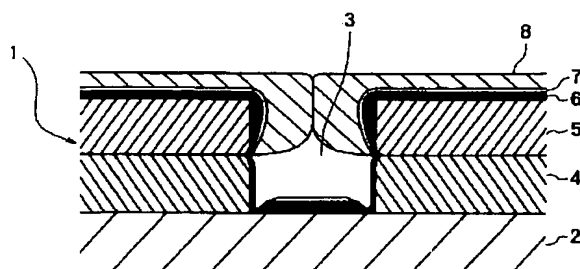
【符号の説明】

10…アルミニウム材料の成膜装置、12…メインフレーム、14…バッファチャンバ、16…トランスファチャンバ、18…第1のPVDチャンバ、20…第2のPVDチャンバ、22…第3のPVDチャンバ、24…デガスチャンバ、26…CVDチャンバ、28…CVDチャンバ、30…ロボットアーム、32…ロボットアーム、34a、b…ロードロックチャンバ、36…デガスオリエンタチャンバ、38…クールダウンチャンバ、40…クールダウンチャンバ、42…プレクリーンチャンバ、50…制御手段、100…半導体ウェハ、102…半導体基板、104…ホール、106…絶縁膜、110…バリアメタル膜、112…濡れ性改善膜、114…アルミニウム、116…内部、118…ホール側壁面、120…境界部分。

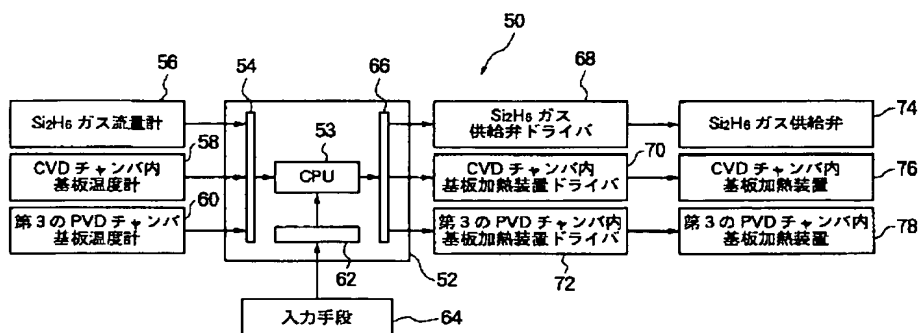
【図1】



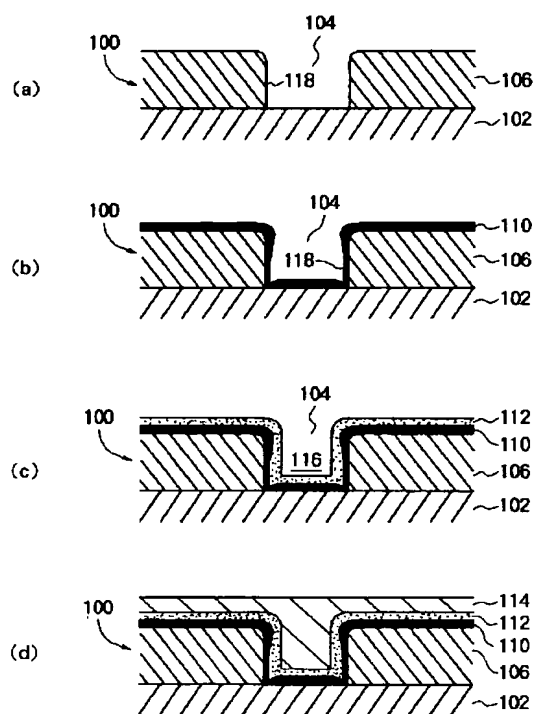
【図5】



【図2】



【図3】



【図4】

